

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-111999

(43)Date of publication of application : 23.04.1999

(51)Int.Cl.

H01L 29/786

H01L 21/336

(21)Application number : 09-272773

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 06.10.1997

(72)Inventor : MORIMOTO YOSHIHIRO

(54) MANUFACTURE OF THIN-FILM TRANSISTOR

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent a silicon film which coats a gate electrode from being interrupted by a step by gently working under good control an inclination angle of a cross sectional sidewall of a gate electrode in a bottom gate type thin-film transistor.

SOLUTION: A high-melting point metal film 22 and an oxide film 23 are formed on a transparent substrate 21 which is coated with a resist mask. Both are subjected to isotropic etching to form a trapezoidal gate electrode 25 whose cross section expands on the side of the transparent substrate 21. A silicon nitride film 26 and a silicon oxide film 27 which coats the gate electrode 25 are laminated. On a gate insulating film comprising the silicon nitride film 26 and the silicon oxide film 27 a polycrystalline silicon film 28 which is to be an active region is laminated. An angle formed at crossing of a sidewall of the gate electrode 25 and the surface of the substrate 21 is set to 20 degrees or less.

CLAIMS

[Claim(s)]

[Claim 1] A manufacturing method of a thin film transistor characterized by comprising the following.

A process of forming a high-melting point metal membrane on an insulating substrate and forming in the surface an oxide of said refractory metal in which an etching rate is quicker than said refractory metal.

A process of forming a resist mask on said oxide.

A process of forming a gate electrode which carried out wet etching of said refractory metal and the oxide and in which a section side attachment wall inclined.

A process of forming semiconductor membrane which straddles gate dielectric film laminated by covering said gate electrode and said gate electrode and is laminated on said gate dielectric film and a process of carrying out laser annealing of said semiconductor membrane and polycrystallizing it.

[Claim 2] A manufacturing method of the thin film transistor according to claim 1 wherein said refractory metal is chromium (Cr).

[Claim 3] A manufacturing method of the thin film transistor according to claim 1 wherein thickness of said oxide is 10–200 Å.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the manufacturing method of the thin film transistor of a bottom product gated mode suitable for the switching element for pixel displays of the display panel of an active matrix.

[0002]

[Description of the Prior Art] Drawing 4 is a sectional view showing the structure of the thin film transistor of a bottom product gated mode. The gate electrode 2 which becomes the surface of the insulating transparent substrate 1 from refractory metal such as tungsten and chromium is arranged. This gate electrode 2 constitutes the taper shape to which both ends become large by the transparent substrate 1 side. On the transparent substrate 1 by which the gate electrode 2 has been arranged the silicon oxide film 4 is laminated via the silicon nitride film 3. Preventing that the silicon nitride film 3 infiltrates into the active region which the impurity contained in the transparent substrate 1 mentions later the silicon oxide film 4 works as gate dielectric film with the silicon nitride film 3. On the silicon oxide film 4 the gate electrode 2 is crossed and the polycrystalline silicon film 5 is laminated. This polycrystalline silicon film 5 serves as an active region of a thin film transistor.

[0003] On the polycrystalline silicon film 5 the stopper 6 which consists of insulating material such as silicon oxide is arranged. The polycrystalline silicon film 5 covered with this stopper 6 serves as the channel regions 5c and the other polycrystalline silicon films 5 serve as 5s of source region and 5d of drain areas. On the polycrystalline silicon film 5 in which the stopper 6 was formed the silicon oxide film 7 and the silicon nitride film 8 are laminated. This silicon oxide film 7 and silicon nitride film 8 turn into an interlayer insulation film which protects the polycrystalline silicon film 5 including 5s of source region and 5d of drain areas.

[0004]The contact hole 9 is formed in the prescribed spot of the silicon oxide film 7 on 5 s of source region and the drain area 5d and the silicon nitride film 8. 10 s of source electrodes and the drain electrode 10d which are connected to this contact hole 9 portion in 5 s of source region and 5 d of drain areas are arranged. On the silicon nitride film 8 in which 10 s of source electrodes and the drain electrode 10d have been arranged the transparent acrylic resin layer 11 is laminated to visible light. This acrylic resin layer 11 buries the unevenness produced with the gate electrode 2 or the stopper 6 and carries out flattening of the surface.

[0005]The contact hole 12 is formed in the acrylic resin layer 11 on the source electrode 10s. And the transparent electrode 13 which consists of ITO (indium oxide tin) etc. which are connected to the aluminum wiring 10 through this contact hole 12 is arranged so that it may spread on the acrylic resin layer 11. This transparent electrode 13 constitutes the display electrode of a liquid crystal display panel.

[0006]Matrix layout of the plurality is carried out on the transparent substrate 1 with a display electrode and the above thin film transistor answers the scanning-controls signal impressed to the gate electrode 2 and impresses the video information supplied to the drain electrode 10d to a display electrode respectively. By the way a crystal grain diameter is formed in sufficient size so that the polycrystalline silicon film 5 may function as an active region of a thin film transistor. The laser annealing method using the excimer laser as a method of forming greatly the crystal grain diameter of the polycrystalline silicon film 5 is known. This laser annealing method laminates the silicon of an amorphous state on the silicon oxide film 4 used as gate dielectric film and silicon is crystallized by irradiating that silicon with an excimer laser and once dissolving silicon. Since it is not necessary to make temperature of the transparent substrate 1 high if such a laser annealing method is used a glass substrate with the melting point low as the transparent substrate 1 can be adopted.

[0007]

[Problem(s) to be Solved by the Invention]The level difference produced with the gate electrode 2 is laminated as the silicon film 5 used as an active layer straddles. In this step part the gate electrode 2 is easy to produce the stage piece of the polycrystalline silicon film 5 although the section is formed in trapezoidal shape at this time so that a side attachment wall may intersect the surface of the transparent substrate 1 and tapered shape. Namely since the chromium (Cr) used as the gate electrode 2 has high heat dissipation nature and the glass substrate 1 has conversely bad heat dissipation nature When recrystallizing after heating and fusing a polycrystalline silicon film by excimer laser With the polycrystalline silicon film 5 on the gate electrode 2 and the polycrystalline silicon film 5 on the substrate 1 the speed of recrystallization differs and these differences are considered to make the particle diameter of polycrystalline silicon produce a difference and to carry out the stage piece of the polycrystalline silicon film 5 near the side attachment wall of the gate electrode 2. For this reason when a flow with the channel regions 5c and the source

drain areas 5s and 5d broke off it had become a factor which reduces the manufacturing yield of a device greatly.

[0008] When this phenomenon made loose the angle of gradient of the section side attachment wall of the gate electrode 2 it became clear that it is avoidable to some extent. However there was a fault in which it is difficult to process a refractory metal like chromium into trapezoidal shape with sufficient reproducibility. Then an object of this invention is to provide the manufacturing method for keeping the stage piece of a polycrystalline silicon film from arising.

[0009]

[Means for Solving the Problem] A gate electrode in which a thin film transistor of this invention is arranged on the surface of a substrate and said substrate Gate dielectric film laminated by covering said gate electrode on said substrate and semiconductor membrane which straddles said gate electrode and is laminated on said gate dielectric film It has an interlayer insulation film laminated on said semiconductor membrane said gate electrode forms an oxide film in the surface of a high-melting point metal membrane and it is characterized by etching simultaneously this oxide film and a high-melting point metal membrane.

[0010] According to this invention with an etching rate of said oxide film being quick etching to a transverse direction is accelerated at the same time etching advances to a thickness direction of a high-melting point metal membrane and a loose inclination can be formed with sufficient reproducibility by this.

[0011]

[Embodiment of the Invention] Drawing 1 thru/or drawing 3 are the sectional views according to process of explaining the manufacturing method of the thin film transistor of this invention. Drawing 1 and identical parts are shown in these figures.

(a) On the insulating transparent substrate 21 which comprises 1st process non alkaline glass etc. laminate refractory metal such as chromium and molybdenum to 700-1300-Å thickness by a sputtering technique and form the high-melting point metal membrane 22. On this high-melting point metal membrane 22 by the sputtering technique or the natural oxidation method neglected in N₂ atmosphere for 5 hours or more. The oxide (it is MoO₂ to CrO₂ and molybdenum to chromium) corresponding to deposited metal is deposited and thickness forms the oxide film 23 which is 10-200 Å (refer to drawing 1 (A)).

(b) Form the resist mask 24 on the oxide film 23 formed on the 2nd process high-melting point metal membrane 22 with this resist mask 24 pattern the high-melting point metal membrane 24 and the oxide film 23 after predetermined shape and form the gate electrode 25. Although etching advances in isotropic mode by using wet etchant of a nitric acid system at this patterning processing The etching rate of a chromium oxidation thing (CrO₂) is quick about 20% to the etching rate of chromium (Cr) The oxide film 23 is etched to a transverse direction and the surface of the exposed high-melting point metal membrane 22 is exposed to etchant at the same

time etching advances to the thickness direction of the high-melting point metal membrane 22 for the reason. As a result the section of the gate electrode 22 is formed in the taper shape which spreads in the transparent substrate 21 side and the intersecting angles of the side attachment wall of the gate electrode 22 and the bottom (surface of the transparent substrate 21) can be processed with controllability sufficient at 20 degrees or less. (Refer to drawing 1 (B)).

[0012] The smaller one of the maximum of the thickness of the gate electrode 25 is preferred here as the difference of a crystal grain diameter can become small and the large thing of the minimum of thickness is preferred as the resistance (wiring resistance) which the gate electrode 22 has can become small. Since the thickness of the oxide film 23 does not increase the level difference by the gate electrode 25 10–200 Å and the thinner one are preferred.

(c) Laminate silicon nitride with plasma CVD method on the 3rd process transparent substrate 21 at 500–1500-Å thickness. Thereby the silicon nitride film 26 which prevents a deposit of the impurity ion from the transparent substrate 21 is formed. Then silicon oxide is laminated with plasma CVD method on the silicon nitride film 26 at 1000–2000-Å thickness. Thereby the silicon oxide film 27 which turns into gate dielectric film with the silicon nitride film 26 is formed. And on the silicon oxide film 27 silicon is laminated to 400–800-Å thickness with plasma CVD method and the amorphous silicon film 28 is formed. The above silicon nitride film 26 silicon oxide film 27 and amorphous silicon film 28 can be continuously formed with the same device. Silicon film 28' is irradiated with an excimer laser and it heats until the silicon of an amorphous state dissolves. Thereby silicon crystallizes and it becomes the polycrystalline silicon film 28 (refer to drawing 1 (C)).

(d) On the 4th process polycrystalline silicon film 28 laminate silicon oxide to 1000–2000-Å thickness and form the silicon oxide film 29. And this silicon oxide film 29 is patterned according to the shape of the gate electrode 25 and the stopper 30 which laps with the gate electrode 25 is formed. In formation of this stopper 30 a mask gap can be lost by covering the silicon oxide film 30 forming a resist layer and exposing the gate electrode 25 for that resist layer as a mask from the transparent substrate 21 side (refer to drawing 1 (D)).

(e) Pour in the ion of the P type corresponding to the type of the transistor which should be formed or N type to the polycrystalline silicon film 28 in which the 5th process stopper 30 was formed. That is in forming a P channel type transistor it pours in P type ions such as boron and in forming an N channel type transistor it pours in N type ions such as Phosphorus. The field which shows the conductivity of P type or N type to the polycrystalline silicon film 28 by this pouring except for the field covered with the stopper 30 is formed. These fields turn into 28 s of source region and 28 d of drain areas on both sides of the stopper 30 and the field covered with the stopper 30 turns into the channel regions 28c (refer to drawing 2 (A)).

(f) Irradiate with an excimer laser the polycrystalline silicon film 28 in which 28 s of

the 6th process source region and 28 d of drain areas were formed and heat to such an extent that silicon does not dissolve. Thereby the impurity ion in 28 s of source region and the drain area 28d is activated. And it leaves predetermined width to the both sides of the stopper 30 (gate electrode 25) the polycrystalline silicon film 28 is patterned after island shape and a transistor is made to separate (refer to drawing 2 (B)).

(g) Laminate silicon oxide with plasma CVD method on the 7th process polycrystalline silicon film 28 at 1000–2000–Å thickness and laminate silicon nitride to 2000–3000–Å thickness continuously. Thereby the interlayer insulation film which consists of two-layer [of the silicon oxide film 31 and the silicon nitride film 32] is formed. After forming the silicon oxide film 31 and the silicon nitride film 32 it heats at about 350–450 °C in a nitrogen atmosphere and the hydrogen ion contained in the silicon nitride film 32 is introduced to the polycrystalline silicon film 28. Corresponding to 28 s of source region and the drain area 28d the contact hole 33 which penetrates the silicon oxide film 31 and the silicon nitride film 32 is formed (refer to drawing 2 (C)).

(h) Form the drain electrode 34 which becomes 8th process contact hole 33 portion from metals such as aluminum. Formation of this drain electrode 34 is formed by patterning the aluminum which carried out sputtering on the silicon nitride film 32 in which the contact hole 33 was formed for example (refer to drawing 3 (A)).

(i) On the 9th process then the silicon nitride film 33 in which the drain electrode 34 was formed apply and calcinate an acrylic resin solution and form the acrylic resin layer 35. This acrylic resin layer 35 buries unevenness by the stopper 30 or the drain electrode 34 and carries out flattening of the surface. The contact hole 36 which penetrates the acrylic resin layer 35 is formed on the source region 28s and the transparent electrode 37 which consists of ITO etc. which are connected to this contact hole 36 portion in 28 s of source region is formed. Formation of this transparent electrode 37 is formed by patterning ITO which carried out sputtering on the acrylic resin layer 35 in which the contact hole 36 was formed for example (refer to drawing 3 (B)).

[0013] Of the above the 1st thru/or 9th process the thin film transistor of a bottom product gated mode is formed. In this thin film transistor the stage piece of the polycrystalline silicon film 28 in the side attachment wall of the gate electrode 25 was able to be substantially reduced by having made the angle of the gate electrode 25 section side attachment wall into 20 degrees or less. According to measurements compared with the case where it constitutes that even the conventional angle of 45 degrees or more is the defective fraction resulting from the stage piece of a polycrystalline silicon film was reduced from about 30% to about 1%.

[0014]

[Effect of the Invention] According to this invention the angle of inclination of the section side attachment wall of the polycrystalline silicon film 28 can be controlled with reproducibility sufficient at 20 degrees or less and a stage piece defective

fraction can be substantially reduced by this. Therefore improvement in reliability can be desired with improvement in a manufacturing yield.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is a sectional view showing the manufacturing method of the thin film transistor of this invention.

[Drawing 2] It is a sectional view showing the manufacturing method of the thin film transistor of this invention.

[Drawing 3] It is a sectional view showing the manufacturing method of the thin film transistor of this invention.

[Drawing 4] It is a sectional view showing the structure of the conventional thin film transistor.

[Description of Notations]

21 Transparent substrate

22 High-melting point metal membrane

23 Oxide film

25 Gate electrode

26 32 silicon nitride films

27 31 silicon oxide films

28 Polycrystalline silicon film

28c Channel regions

28s source region

28d drain area

30 Stopper

33 and 36 Contact hole

34 Drain electrode

35 Acrylic resin layer

36 Transparent electrode

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-111999

(43)公開日 平成11年(1999) 4月23日

(51)Int.Cl.⁶

H 0 1 L 29/786
21/336

識別記号

F I

H 0 1 L 29/78

6 1 7 K

6 1 7 T

6 2 7 G

6 2 7 C

審査請求 未請求 請求項の数3 O L (全 5 頁)

(21)出願番号

特願平9-272773

(22)出願日

平成9年(1997)10月6日

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72)発明者 森本 佳宏

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

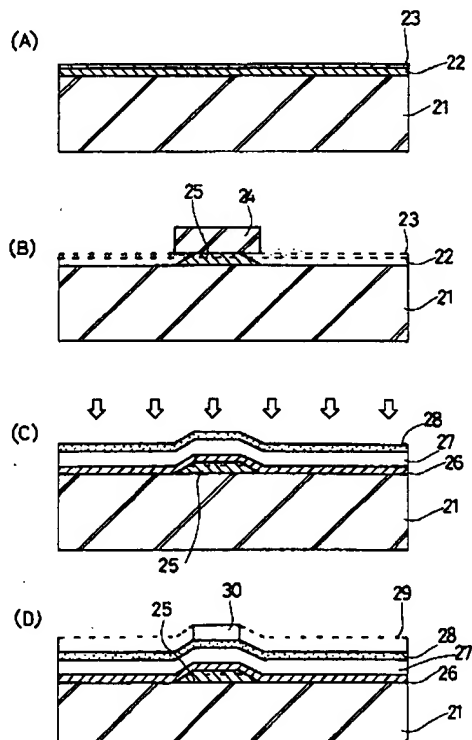
(74)代理人 弁理士 安富 耕二 (外1名)

(54)【発明の名称】 薄膜トランジスタの製造方法

(57)【要約】

【課題】 ボトムゲート型薄膜トランジスタの、ゲート電極の断面側壁の傾斜角度を制御性良く緩やかに加工することにより、ゲート電極上を被覆するシリコン膜の段切れを防止する。

【解決手段】 透明基板21上に高融点金属膜22とその上に酸化膜23を形成し、レジストマスクで被覆する。両者を等方性エッチングによって、断面が透明基板21側で広がる台形状を成すゲート電極25を形成する。ゲート電極25を被う窒化シリコン膜26と酸化シリコン膜27が積層される。窒化シリコン膜26及び酸化シリコン膜27からなるゲート絶縁膜上に活性領域となる多結晶シリコン膜28が積層される。ゲート電極25の側壁と基板21表面とが交差する角度を20度以下とする。



【特許請求の範囲】

【請求項１】 絶縁性の基板上に高融点金属膜を形成し、その表面に前記高融点金属よりもエッチングレートが速い、前記高融点金属の酸化物を形成する工程と、前記酸化物の上にレジストマスクを形成する工程と、前記高融点金属と酸化物をウェットエッチングして、断面側壁が傾斜したゲート電極を形成する工程と、前記ゲート電極を被って積層されるゲート絶縁膜及び前記ゲート電極を跨って前記ゲート絶縁膜上に積層される半導体膜を形成する工程と、前記半導体膜をレーザアニールして多結晶化する工程と、を具備することを特徴とする薄膜トランジスタの製造方法。

【請求項２】 前記高融点金属がクロム（Cr）であることを特徴とする請求項１に記載の薄膜トランジスタの製造方法。

【請求項３】 前記酸化物の膜厚が $10\sim 200\text{\AA}$ であることを特徴とする請求項１に記載の薄膜トランジスタの製造方法。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】 本発明は、アクティブマトリクス方式の表示パネルの画素表示用スイッチング素子に適したボトムゲート型の薄膜トランジスタの製造方法に関する。

【０００２】

【従来の技術】 図４は、ボトムゲート型の薄膜トランジスタの構造を示す断面図である。絶縁性の透明基板１の表面に、タングステンやクロム等の高融点金属からなるゲート電極２が配置される。このゲート電極２は、両端部が透明基板１側で広がるテーパー形状を成す。ゲート電極２が配置された透明基板１上には、窒化シリコン膜３を介して酸化シリコン膜４が積層される。窒化シリコン膜３は、透明基板１に含まれる不純物が後述する活性領域に浸入するのを阻止し、酸化シリコン膜４は、窒化シリコン膜３と共にゲート絶縁膜として働く。酸化シリコン膜４上には、ゲート電極２を横断して多結晶シリコン膜５が積層される。この多結晶シリコン膜５が、薄膜トランジスタの活性領域となる。

【０００３】 多結晶シリコン膜５上には、酸化シリコン等の絶縁材料からなるストッパ６が配置される。このストッパ６に被われた多結晶シリコン膜５がチャネル領域５cとなり、その他の多結晶シリコン膜５がソース領域５s及びドレイン領域５dとなる。ストッパ６が形成された多結晶シリコン膜５上には、酸化シリコン膜７及び窒化シリコン膜８が積層される。この酸化シリコン膜７及び窒化シリコン膜８は、ソース領域５s及びドレイン領域５dを含む多結晶シリコン膜５を保護する層間絶縁膜となる。

【０００４】 ソース領域５s及びドレイン領域５d上の

酸化シリコン膜７及び窒化シリコン膜８の所定箇所には、コンタクトホール９が形成される。このコンタクトホール９部分に、ソース領域５s及びドレイン領域５dに接続されるソース電極１０s及びドレイン電極１０dが配置される。ソース電極１０s及びドレイン電極１０dが配置された窒化シリコン膜８上には、可視光に対して透明なアクリル樹脂層１１が積層される。このアクリル樹脂層１１は、ゲート電極２やストッパ６により生じる凹凸を埋めて表面を平坦化する。

【０００５】 ソース電極１０s上のアクリル樹脂層１１には、コンタクトホール１２が形成される。そして、このコンタクトホール１２を通してアルミニウム配線１０に接続されるITO（酸化インジウムスズ）等からなる透明電極１３が、アクリル樹脂層１１上に広がるように配置される。この透明電極１３が、液晶表示パネルの表示電極を構成する。

【０００６】 以上の薄膜トランジスタは、表示電極と共に透明基板１上に複数個が行列配置され、ゲート電極２に印加される走査制御信号に応答して、ドレイン電極１０dに供給される映像情報を表示電極にそれぞれ印加する。ところで、多結晶シリコン膜５は、薄膜トランジスタの活性領域として機能するように、結晶粒径が十分な大きさに形成される。多結晶シリコン膜５の結晶粒径を大きく形成する方法としては、エキシマレーザを用いたレーザアニール法が知られている。このレーザアニール法は、ゲート絶縁膜となる酸化シリコン膜４上に非晶質状態のシリコンを積層し、そのシリコンにエキシマレーザを照射してシリコンを一旦融解させることにより、シリコンを結晶化させるものである。このようなレーザアニール法を用いれば、透明基板１の温度を高くする必要がないため、透明基板１として融点の低いガラス基板を採用できるようになる。

【０００７】

【発明が解決しようとする課題】 活性層となるシリコン膜５は、ゲート電極２によって生じる段差を跨るようにして積層される。このとき、ゲート電極２は、側壁が透明基板１の表面とテーパー状に交差するように断面が台形状に形成されているものの、この段差部分において多結晶シリコン膜５の段切れが生じやすくなっている。即ち、ゲート電極２として用いるクロム（Cr）は熱放熱性が高く、逆にガラス基板１は放熱性が悪いので、多結晶シリコン膜をエキシマレーザで加熱・溶融した後再結晶化するとき、ゲート電極２上の多結晶シリコン膜５と基板１上の多結晶シリコン膜５とでは再結晶化の速度が異なり、これらの差が、多結晶シリコンの粒径に差を生じさせて、ゲート電極２の側壁近傍で多結晶シリコン膜５を段切れさせるものと考えられる。このため、チャネル領域５cとソース・ドレイン領域５s、５dとの導通が途切れることにより、装置の製造歩留まりを大きく低下させる原因になっていた。

【0008】この現象は、ゲート電極2の断面側壁の傾斜角度を緩やかにすればある程度回避できることが明らかになった。しかし、クロムのような高融点金属を再現性良く台形状に加工することが困難である欠点があった。そこで本発明は、多結晶シリコン膜の段切れが生じないようにする為の製造方法を提供することを目的とする。

【0009】

【課題を解決するための手段】本発明の薄膜トランジスタは、基板と、前記基板の表面に配置されるゲート電極と、前記基板上に前記ゲート電極を被って積層されるゲート絶縁膜と、前記ゲート電極を跨って前記ゲート絶縁膜上に積層される半導体膜と、前記半導体膜上に積層される層間絶縁膜と、を備え、前記ゲート電極は、高融点金属膜の表面に酸化膜を形成し、該酸化膜と高融点金属膜とを同時にエッチングすることを特徴としている。

【0010】本発明によれば、前記酸化膜のエッチングレートが速いことにより、高融点金属膜の膜厚方向にエッチングが進行すると同時に横方向へのエッチングが加速され、これによって緩やかな傾斜を再現性良く形成することができる。

【0011】

【発明の実施の形態】図1乃至図3は、本発明の薄膜トランジスタの製造方法を説明する工程別の断面図である。これらの図においては、図1と同一部分を示している。

(a) 第1工程

ノンアルカリガラス等から成る絶縁性の透明基板21上に、クロムやモリブデン等の高融点金属をスパッタ法により700～1300Åの膜厚に積層し、高融点金属膜22を形成する。この高融点金属膜22の上に、スパッタ法、あるいはN₂雰囲気中に5時間以上放置する自然酸化法によって、堆積した金属に対応する酸化物（クロムに対してCrO₂、モリブデンに対してMoO₂）を堆積し、膜厚が10～200Åの酸化膜23を形成する（図1（A）参照）。

(b) 第2工程

高融点金属膜22上に形成した酸化膜23の上にレジストマスク24を形成し、該レジストマスク24によって高融点金属膜22と酸化膜23を所定の形状にパターニングし、ゲート電極25を形成する。このパターニング処理では、硝酸系のウェットエッチャントを用いることで等方性モードでエッチングが進行するが、クロム（Cr）のエッチングレートに対してクロム酸化物（CrO₂）のエッチングレートが約20%程度速く、その為高融点金属膜22の膜厚方向にエッチングが進行すると同時に、酸化膜23が横方向へエッチングされ、露出した高融点金属膜22の表面がエッチャントに晒される。この結果、ゲート電極22の断面が透明基板21側で広が

面（透明基板21の表面）との交差角度を、20°以下に制御性良く加工することができる。（図1（B）参照）。

【0012】ここで、ゲート電極25の膜厚の上限は、結晶粒径の差が小さくなるようにできるだけ小さい方が好ましく、膜厚の下限は、ゲート電極22が持つ抵抗値（配線抵抗）が小さくなるようにできるだけ大きいことが好ましい。また、酸化膜23の膜厚はゲート電極25による段差を増大しないことから10～200Åと薄い方が好ましい。

(c) 第3工程

透明基板21上に、プラズマCVD法により窒化シリコンを500～1500Åの膜厚に積層する。これにより、透明基板21からの不純物イオンの析出を阻止する窒化シリコン膜26が形成される。続いて、窒化シリコン膜26上に、プラズマCVD法により酸化シリコンを1000～2000Åの膜厚に積層する。これにより、窒化シリコン膜26と共にゲート絶縁膜となる酸化シリコン膜27が形成される。そして、酸化シリコン膜27上に、プラズマCVD法によりシリコンを400～800Åの膜厚に積層し、非晶質のシリコン膜28を形成する。以上の窒化シリコン膜26、酸化シリコン膜27及び非晶質シリコン膜28は、同一装置により連続して形成することができる。さらに、エキシマレーザーをシリコン膜28'に照射し、非晶質状態のシリコンが融解するまで加熱する。これにより、シリコンが結晶化し、多結晶シリコン膜28となる（図1（C）参照）。

(d) 第4工程

多結晶シリコン膜28上に酸化シリコンを1000～2000Åの膜厚に積層し、酸化シリコン膜29を形成する。そして、この酸化シリコン膜29をゲート電極25の形状に合わせてパターニングし、ゲート電極25に重なるストッパ30を形成する。このストッパ30の形成においては、酸化シリコン膜30を被ってレジスト層を形成し、そのレジスト層を透明基板21側からゲート電極25をマスクとして露光することにより、マスクずれをなくすることができる（図1（D）参照）。

(e) 第5工程

ストッパ30が形成された多結晶シリコン膜28に対し、形成すべきトランジスタのタイプに対応するP型あるいはN型のイオンを注入する。即ち、Pチャネル型のトランジスタを形成する場合には、ボロン等のP型イオンを注入し、Nチャネル型のトランジスタを形成する場合には、リン等のN型イオンを注入する。この注入により、ストッパ30で被われた領域を除いて多結晶シリコン膜28にP型あるいはN型の導電性を示す領域が形成される。これらの領域が、ストッパ30の両側でソース領域28s及びドレイン領域28dとなり、ストッパ30で被覆された領域がチャネル領域28cとなる（図2（A）参照）。

(f) 第6工程

ソース領域28s及びドレイン領域28dが形成された多結晶シリコン膜28にエキシマレーザーを照射し、シリコンが融解しない程度に加熱する。これにより、ソース領域28s及びドレイン領域28d内の不純物イオンが活性化される。そして、ストッパ30（ゲート電極25）の両側に所定の幅を残して多結晶シリコン膜28を島状にパターニングし、トランジスタを分離独立させる（図2（B）参照）。

(g) 第7工程

多結晶シリコン膜28上にプラズマCVD法により酸化シリコンを1000～2000Åの膜厚に積層し、連続して、窒化シリコンを2000～3000Åの膜厚に積層する。これにより、酸化シリコン膜31及び窒化シリコン膜32の2層からなる層間絶縁膜が形成される。酸化シリコン膜31及び窒化シリコン膜32を形成した後、窒素雰囲気中で350～450℃程度で加熱し、窒化シリコン膜32内に含まれる水素イオンを多結晶シリコン膜28へ導入する。ソース領域28s及びドレイン領域28dに対応して、酸化シリコン膜31及び窒化シリコン膜32を貫通するコンタクトホール33を形成する（図2（C）参照）。

(h) 第8工程

コンタクトホール33部分に、アルミニウム等の金属からなるドレイン電極34を形成する。このドレイン電極34の形成は、例えば、コンタクトホール33が形成された窒化シリコン膜32上にスパッタリングしたアルミニウムをパターニングすることで形成される（図3（A）参照）。

(i) 第9工程

続いて、ドレイン電極34が形成された窒化シリコン膜33上にアクリル樹脂溶液を塗布し、焼成してアクリル樹脂層35を形成する。このアクリル樹脂層35は、ストッパ30やドレイン電極34による凹凸を埋めて表面を平坦化する。さらに、ソース領域28s上にアクリル樹脂層35を貫通するコンタクトホール36を形成し、このコンタクトホール36部分に、ソース領域28sに接続されるITO等からなる透明電極37を形成する。この透明電極37の形成は、例えば、コンタクトホール36が形成されたアクリル樹脂層35上にスパッタリングしたITOをパターニングすることで形成される（図

3（B）参照）。

【0013】以上の第1乃至第9工程により、ボトムゲート型の薄膜トランジスタが形成される。この薄膜トランジスタにおいては、ゲート電極25断面側壁の角度を20度以下としたことにより、ゲート電極25の側壁における多結晶シリコン膜28の段切れを大幅に低減することができた。測定によれば、従来の45度以上の角度でもって構成した場合と比較して、多結晶シリコン膜の段切れに起因する不良率が、約30%から約1%に低減された。

【0014】

【発明の効果】本発明によれば、多結晶シリコン膜28の断面側壁の傾斜角を20度以下に再現性良く制御することができ、これによって段切れ不良率を大幅に低減することができる。従って、製造歩留まりの向上と共に、信頼性の向上が望める。

【図面の簡単な説明】

【図1】本発明の薄膜トランジスタの製造方法を示す断面図である。

【図2】本発明の薄膜トランジスタの製造方法を示す断面図である。

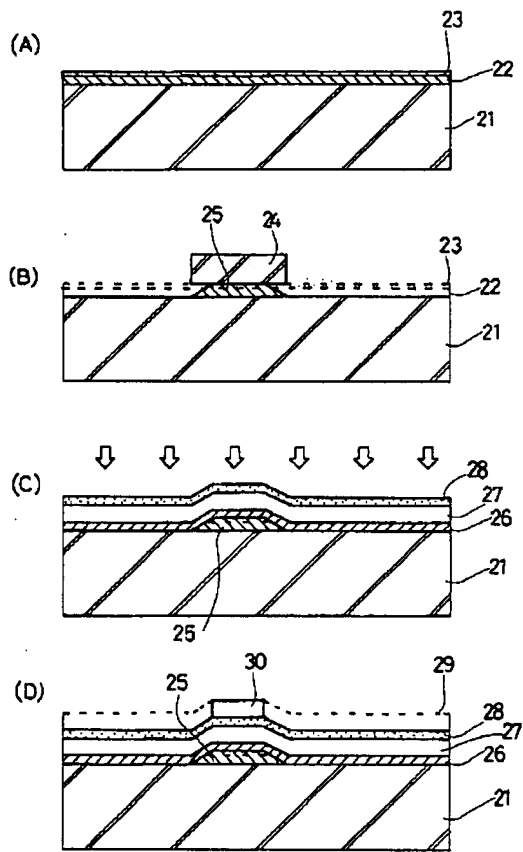
【図3】本発明の薄膜トランジスタの製造方法を示す断面図である。

【図4】従来の薄膜トランジスタの構造を示す断面図である。

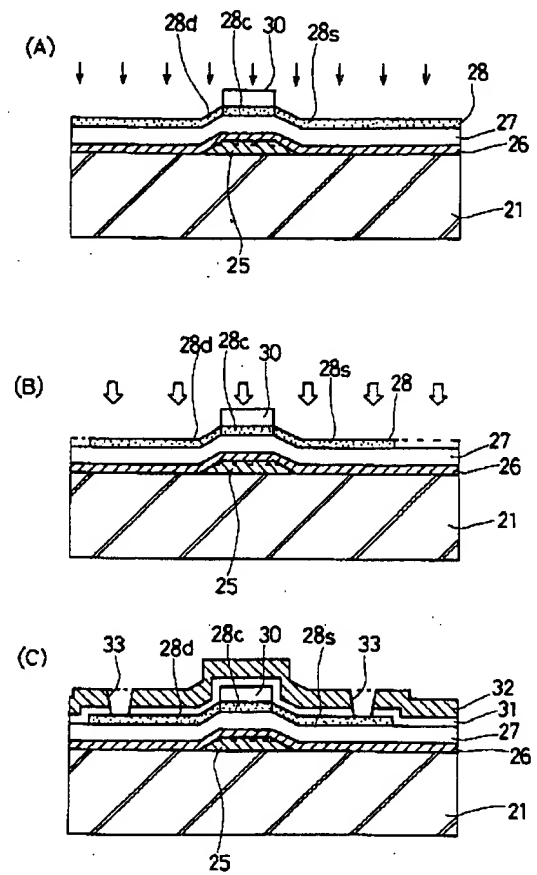
【符号の説明】

- 21 透明基板
- 22 高融点金属膜
- 23 酸化膜
- 25 ゲート電極
- 26、32 窒化シリコン膜
- 27、31 酸化シリコン膜
- 28 多結晶シリコン膜
- 28c チャンネル領域
- 28s ソース領域
- 28d ドレイン領域
- 30 ストッパ
- 33、36 コンタクトホール
- 34 ドレイン電極
- 35 アクリル樹脂層
- 36 透明電極

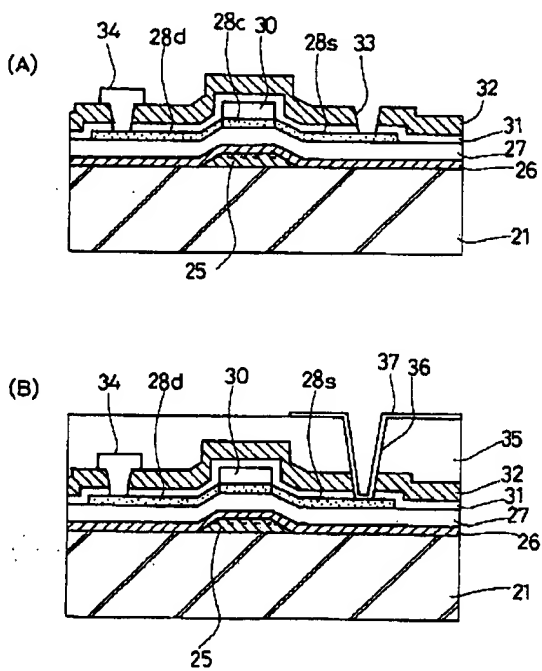
【図1】



【図2】



【図3】



【図4】

